

一种具有掉电数据保持功能的触发器设计

张怡云, 陈后鹏, 王 倩, 许伟义, 金 荣, 宋志棠

(中国科学院 上海微系统与信息技术研究所, 信息功能材料国家重点实验室, 纳米技术研究室, 上海 200050)

摘 要: 提出了一种用相变器件作为可擦写存储单元的具有掉电数据保持功能的触发器电路。该触发器由四部分组成: 具有恢复掉电时数据的双置位端触发器 DFF、上电掉电监测置位电路(Power On/Off Reset)、相变存储单元的读写电路(Read Write)和 Reset/Set 信号产生电路, 使之在掉电时能够保存数据, 并在上电时完成数据恢复。基于 $0.13\ \mu\text{m}$ SMIC 标准 CMOS 工艺, 采用 Cadence 软件对触发器进行仿真, 掉电速度达到 $0.15\ \mu\text{s}/\text{V}$ 的情况下, 上电时可以在 $30\ \text{ns}$ 内恢复掉电时的数据状态。

关键词: 相变存储器; 掉电数据保持; 触发器; 双置位

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2012)07-0004-04

Design of a Flip-flop with Power Failure Data Retention

ZHANG Yi-yun, CHEN Hou-peng, WANG Qian,

XU Wei-yi, JIN Rong, SONG Zhi-tang

(State Key Laboratory of Functional Materials for Informatics, Laboratory of Nanotechnology, Shanghai Institute of Micro-system and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

Abstract: A flip-flop with power failure data retention, using phase change material as rewritable storage units, is proposed. The flip-flop consists of four parts: a double set DFF with the function of power failure data retention, power on/off detector, read and write circuit of phase-change memory cell and Reset/Set signal generator. So that data can be saved when power is off and recovered when power is on. Based on $0.13\ \mu\text{m}$ SMIC static CMOS process, the flip-flop is simulated in Cadence. Under the condition of $0.15\ \mu\text{s}/\text{V}$ power-down speed, data can be recovered in 30ns after power up.

Key words: PCRAM; power failure data retention; flip-flop; double set

1 引言

掉电数据保持广泛使用于集成电路的系统中, 在掉电时把触发器输出的数据或触发器的状态保存起来, 便于记录查找。是控制系统、保密系统等保证数据安全的必备电路。

目前常用的掉电数据保持技术主要有两种: 一是在掉电时使用备用电源防止数据丢失; 二是在电源电压降低到一定程度之前, 发出掉电信号, 通知控

制器把数据安全转移到非挥发存储器中。第一种方法如果在集成电路内部实现掉电数据保护时, 需要很大的电容。而且保存的时间在毫秒级。否则要用备用电池或用不间断电源^[1]。代价都很大。第二种方法采用的非挥发存储器一般是 EEPROM 或 flash 存储器。这两种非挥发存储器都可以在集成电路内部实现, 但与 CMOS 工艺兼容的工艺比较复杂, 而且在快速掉电的情况下, 例如纳秒级的速度, 数据来不及保存。目前在一些特殊的场合, 需要微秒级的速

收稿日期: 2011-12-20; 修回日期: 2012-01-08

基金项目: 国家重点基础研究发展计划(2010CB934300, 2011CBA00607, 2011CB932800); 国家集成电路重大专项(2009ZX02023-003); 国家自然科学基金项目(60906004, 60906003, 61006087, 61076121); 上海市科委项目(1052nm07000)

度,基本采用铁电存储器来进行快速数据保护.但在 300 微秒以内,目前的存储器都不能胜任.

PCRAM 是一种新型的非挥发存储器,由于相变单元的制作工艺与 CMOS 工艺兼容,成本比 EE-PROM、Flash 存储器的成本都低,而且速度要快几个数量级,读写速度目前可以达到 100ns. 本文就是利用了 PCRAM 的性能设计了一款掉电快速数据保护的数据寄存器.

2 电路结构

相变存储器利用相变材料的晶态和非晶态的特性来实现数据的存储. 这种相变材料,如 Ge-Sb-Tb (GST),是硫系化物的非晶半导体^[2]. 当给相变材料注入一个高速、短时间的大电流脉冲时,相变材料就转化为高阻的非结晶态. 这个高阻的非结晶状态认为是 reset 状态,对应存储的数据是“1”;当给相变材料充入一个比 reset 电流小,脉冲宽度更宽的电流脉冲时,相变材料就转化为低阻的结晶态. 这个低阻的结晶状态认为是 set 状态,对应存储的数据为“0”^[3].

图 1 为基于相变存储器的拥有掉电数据保持功能的触发器,由四部分组成:具有恢复掉电时数据的双置位端触发器 DFF、上电掉电监测置位电路 (Power On/Off Reset)、相变存储单元的读写电路 (Read Write) 和 Reset/Set 信号产生电路.

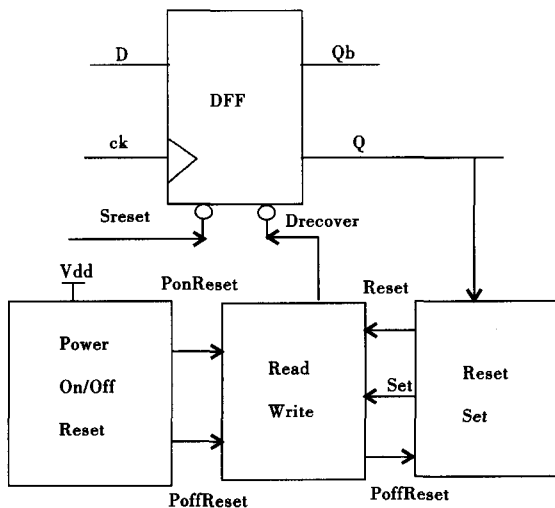


图 1 具有掉电数据保持功能的触发器

电源电压在正常的工作范围内,具有双置位端的触发器和普通的触发器一样正常工作,输出数据 Q.

掉电时,上电掉电置位电路发出掉电置位信号. Reset/Set 电路根据输出数据 Q 输出不同 Reset 信

号或 Set 信号,对读写电路中的相变存储单元进行 Reset 或 Set 操作. 把数据 Q 保存在相变存储单元中. 完成掉电时数据的保存.

上电时,上电掉电监测置位电路发出上电置位信号,读出相变存储器中存储的数据输出 Drecover, 使触发器 DFF 的输出 Q 等于 Drecover. 完成上电时的数据恢复.

2.1 上电掉电监测置位电路

当电源电压低(或高)于一定值时,电源监测电路 (Power On/Off Reset) 就发出掉电的信号 PoffReset (或 PonReset), 该信号为一个脉冲高电平.

掉电信号 PoffReset 信号发给 Read/Write 电路和 Set/Reset 电路. 在 PoffReset 信号的有效期间, Set/Reset 电路根据触发器输出的数据 Q 决定发出 Set (写“0”)或 Reset (写“1”)信号. Read/Write 电路接收 Set 或 Reset 信号,往相变存储单元写入“0”或“1”. 实现了数据或触发器状态的保存.

上电时,电源监测电路发出 PonReset 信号给 Read/Write 电路,读出存储在相变存储单元中的数据,恢复的数据 Drecover 送入具有双置位功能的触发器的一个置位端,使触发器恢复到掉电之前的状态.

2.2 Reset/Set 信号产生电路

Reset/Set 电路可由简单的逻辑电路实现,逻辑关系为 $\text{Reset} = \text{PoffReset} \cdot Q$, $\text{Set} = \text{PoffReset} \cdot (\bar{Q})$. 收到 PoffReset 脉冲信号后,输出 Set 和 Reset 信号. $\text{Set} = \bar{Q}b$, $\text{Reset} = Q$.

2.3 相变存储单元的读写电路 (Read/Write)

Read/Write 电路,如图 2 所示,在 PonReset 和 PoffReset 期间,选通管 M 接通. 同时 Read/Write 电路接收到 Set 信号和 Reset 信号. 掉电时,如果触发器输出的数据 $Q = “1”$, 则 $\text{Set} = “0”$, $\text{Reset} = “1”$. Reset 开关接通,对相变存储单元进行 Reset 操作;如果 $Q = “0”$, 则 $\text{Set} = “1”$, $\text{Reset} = “0”$. Set 开关接通,对相变存储单元进行 Set 操作. 此时,由于 $\text{PonReset} = “0”$, 读数据操作支路是断开的. 这样就把掉电时触发器输出的数据 Q 保存在了相变存储单元 PCM 中.

在上电时,电源监测电路 Power On/Off Reset 发出 PonReset 信号. Read/Write 电路收到该信号后,选通管 M 导通. 由于 $\text{PoffReset} = “0”$, $\text{Reset} = “0”$, $\text{Set} = “0”$, Reset 和 Set 开关都断开. PonReset 开关导通,对相变存储单元进行 Read 操作. 读出的数据 Drecover 存储在锁存器 Dlatch 中. PonReset

=“1”时,数据进入锁存器. PonReset=“0”时,数据锁存在锁存器. Drecover 就是恢复的掉电时触发器输出的数据.

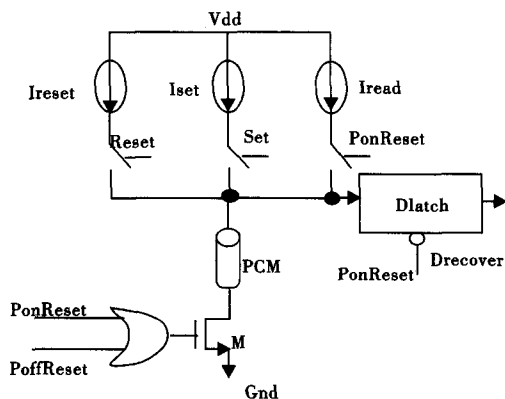


图2 相变存储单元的读写电路(Read/Write)

2.4 双置位端触发器 DFF

恢复的数据 Drecover 送入具有双置位端的触发器. 置位部分的多路选择电路如图3所示. Mux2 是一个二选一电路. 作为数据恢复触发器使用时, 普通置位端口 Sreset 设置为高电平. 在 PonReset 期间, 如果 Drecover = “0”, 则第一个二选一电路 Mux21 选通 “Vdd”, 高电平. PonReset 使 Db = “Vdd”. 如果 Drecover = “1”, 则 Mux21 选通 “Gnd”, 低电平. PonReset 使 Db = “Gnd”. Db 与 Drecover 反相, 即 D 与 Drecover 同相. 在 PonReset 期间, 完成触发器的置位, 使 Q = “Drecover”. 这样在上电阶段就完成了数据或触发器状态的恢复.

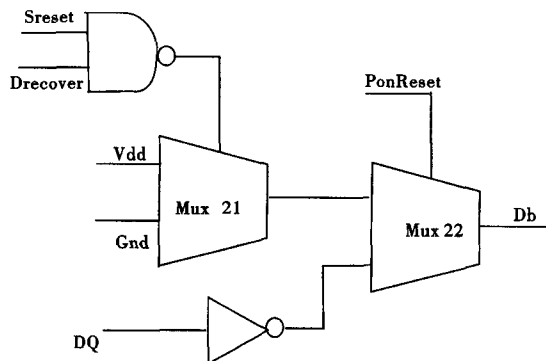
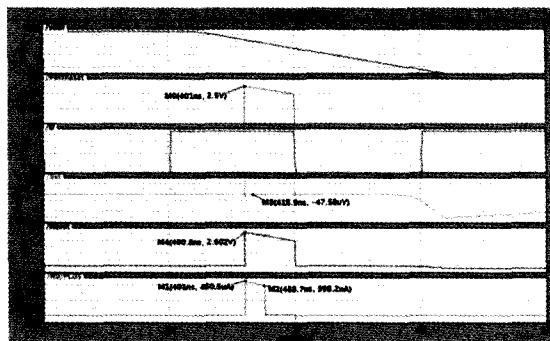


图3 置位部分的多路选择电路

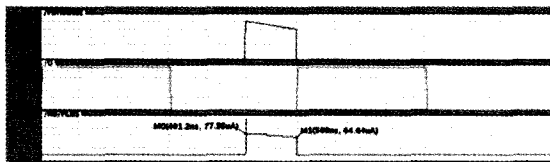
3 仿真结果分析

基于 $0.13\ \mu\text{m}$ SMIC 标准 CMOS 工艺, 采用 Cadence 软件对触发器进行仿真, 在快速掉电的情况下, 电源在 500 ns 以内便由 3.3 V 减到 0 V, 掉电速度达到 $0.15\ \text{us/V}$. 当掉电到 2.5 V 左右时电源监测电路输出一个脉冲信号 PoffReset, 如图4所示.

并且为了提供需持续 100 ns 的 Set 电流, 脉冲信号也要持续 100ns. 由图4(a)可以看到, 当 PoffReset 有效时, 触发器的输入 D 为高电平, 使得读写电路的 Reset 开关打开, Set 关闭, 在相变存储单元上施加一个短时大电流脉冲, 450 μA 的电流持续约 40ns (由于电源在减小, 所以电流也会相应地有所减小), 使得单元电阻变为高阻, 成功地将“1”存入单元中. 同理, 由图4(b), 当 D 为低电平时, 仅 Set 开关打开, 在相变存储单元上施加一个长时小电流脉冲, 70 μA 持续 100 ns, 使电阻变为低阻, 存入“0”. 只要达到必要的电流大小与持续时间, 写入就是成功的.



(a) 复位 Reset

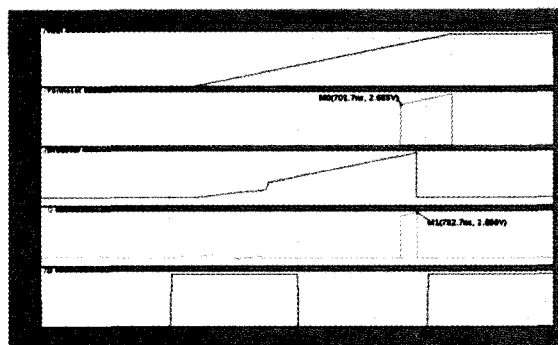


(b) 置位 Set

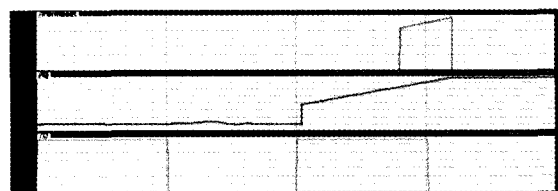
图4 写入需存数据

在上电时, 电源同样在 500ns 以内从 0V 增加到 3.3V, 若此时相变单元为“0”, 即低阻, 如图5(a)所示. 上电信号 PonReset 上升沿后 30ns 便可把单元中的电阻读出, 且在 PonReset 有效期间, D 的跳变不会影响到 Q 的值, 最终输出 Q 为 0, 即正确读出了单元中所存的数据. 同理, 当相变单元为高阻 (即为“1”) 时, 如图5(b)所示. Q 最终值为 1, 同样 D 的跳变在 PonReset 有效期间不会影响到 Q 的值, 数据读出正确. 数据读出的速度主要依赖于读电路的速度, 若加快读电路的速度, 上电恢复数据的速度将可以达到更高.

如表1所示, 与现有的其他非挥发存储器相比, PCRAM 的读写速度有着明显的优势, 而掉电保持正是依赖于存储器的读写速度. 那么在快速掉电的情况下, 使用 PCRAM 来保持数据这种新型的方法将有着广阔的应用前景.



(a) 读低阻 read low resistance



(b) 读高阻 read high resistance

图 5 读出保存的数据

表 1 非挥发存储器读写速度比较^[2]

	FLASH	EEPROM	MRAM	FeRAM	PCRAM
Read	60ns	80ns	30ns	80ns	20ns
Write	1 μ s	8ms	30ns	80ns	10ns

4 结束语

基于 0.13 μ m SMIC 标准 CMOS 工艺,本文设计了一种提供快速掉电数据保持功能的触发器,掉电速度 0.15 μ s/V,系统的数据可以在 100ns 内完成数据写入。上电时可以在 30ns 内恢复掉电时的数

据状态。其特点是数据的保持是基于相变存储单元的,可以对该相变存储单元反复进行读写擦操作。由于相变存储单元的制造工艺简单,和 CMOS 工艺兼容,数据保持所需的操作时间在纳秒级,而且可以长时间保持。所以该电路是一种低成本高速掉电数据保护的电路。

参考文献:

- [1] Hamid Mahmoodi-Meimand, Kaushik Roy. Data-retention flip-flops for power-down applications[C]// ISCAS, Canada, 2004; II-677- II-680.
- [2] 宋志棠. 相变存储器 [M]. 北京:科学出版社, 2010:1-19.
- [3] Xiangyu Dong, Norman P Jouppi, Yuan Xie. PCRAMsim: system-level performance, energy, and area modeling for phase-change RAM[C]// 2009 IEEE/ACM International Conference on Computer-Aided Design Digest of Technical Papers. San Jose: ACM, 2009: 269-275.

作者简介:



张怡云 女,(1988—),硕士研究生。研究方向为模拟集成电路设计。

(上接第 3 页)

- [3] Hookway R J, Herdeg M A. Digital FX! 32: combining emulation and binary translation [J]. Digital Technical Journal, 1997, 9(1): 3-12.
- [4] Tremblay M, Chan J, Chaudhry S, et al. The MAJC architecture: a synthesis of parallelism and scalability [J]. IEEE Micro, 2000, 20(6): 12-25.
- [5] Wang H C, Yuen C K. Exploiting an abstract machine-based framework in the design of a Java ILP processor [J]. Journal of Systems Architecture: the EUROMICRO Journal, 2009, 55(1): 53-60.
- [6] 张金钟, 胡平. 基于 FPGA 的 Java 指令折叠器的研究与设计 [J]. 微电子学与计算机, 2011, 28(5): 166-170.

- [7] 张金钟, 胡平. 基于 RISC 结构的 Java 处理器研究与设计 [J]. 微电子学与计算机, 2011, 28(7): 61-64.
- [8] Hu S L. An approach for implementing efficient super-scalar CISC processors [C]// Proc. of the 12th International Symposium on High-Performance Computer Architecture (HPCA-12). IEEE, Austin, TX, 2006.

作者简介:

王海晨 男,(1969—),博士,副教授。研究方向为高性能计算机体系结构。

赵祥模 男,(1966—),博士,教授,博士生导师。研究方向分布式测控系统。